

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09247136 A**(43) Date of publication of application: **19.09.97**

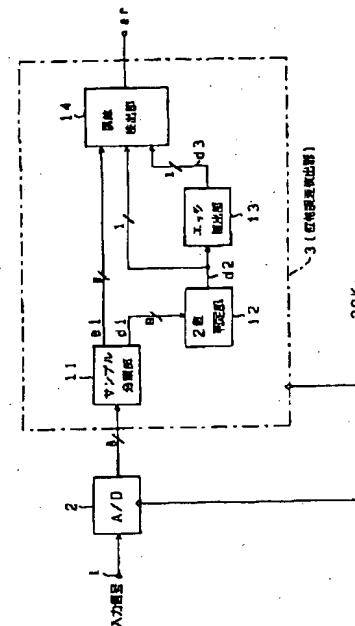
(51) Int. Cl.

H04L 7/033
H03L 7/085
(21) Application number: **08073033**(71) Applicant: **SONY CORP**(22) Date of filing: **05.03.96**(72) Inventor: **FUKUDA SHINICHI**
**(54) PHASE DIFFERENCE DETECTING CIRCUIT AND
DIGITAL PLL CIRCUIT**
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a phase difference detecting circuit capable of precisely detecting phase difference information by a simple configuration and to provide PLL circuit using the circuit.

SOLUTION: Data sampled by a sampling clock which is twice the frequency of an input signal is classified into difference sample data e1 and detecting point sample data d1 on every other sample. Then, an edge concerning the input signal is detected (d3) from the two kinds of detecting point sample data in front and rear of successively inputted detecting point sample data d1. Phase difference between the input signal and the clock is detected through the use of difference sample data value e1 between the two kinds of detecting point sample data whose edges are detected by an edge detecting means and at least one detecting point sample data value (d2).

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247136

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H04L 7/033

H04L 7/02

B

H03L 7/085

H03L 7/08

A

審査請求 未請求 請求項の数5 FD (全24頁)

(21) 出願番号 特願平8-73033

(22) 出願日 平成8年(1996)3月5日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 福田 伸一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

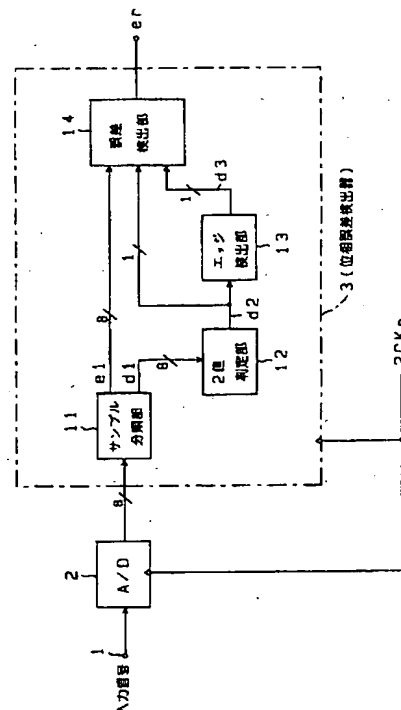
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 位相誤差検出回路及びデジタルPLL回路

(57) 【要約】

【課題】 簡易な構成で精度よく位相誤差情報を検出できる位相誤差検出回路及びそれを用いたPLL回路を実現する。

【解決手段】 入力信号についてクロックの2倍の周波数とされたサンプリングクロックでサンプルされたデータを、1サンプルおきに誤差サンプルデータe1と検出点サンプルデータd1に分類する。そして順次入力される検出点サンプルデータd1の前後2つの検出点サンプルデータから入力信号についてのエッジを検出する(d3)。エッジ検出手段でエッジが検出された2つの検出点サンプルデータの間の誤差サンプルデータの値e1と、少なくとも一方の検出点サンプルデータの値(d2)を用いて、入力信号とクロックの間の位相誤差を検出する。



【特許請求の範囲】

【請求項1】 積分等化された入力信号についてクロックの2倍の周波数とされたサンプリングクロックでサンプリングされたデータを、1サンプルおきに誤差サンプルデータと検出点サンプルデータに分類するサンプル分類手段と、

順次入力される検出点サンプルデータの前後2つの検出点サンプルデータから入力信号についてのエッジを検出するエッジ検出手段と、

前記エッジ検出手段でエッジが検出された2つの検出点サンプルデータの間の誤差サンプルデータの値と、少なくとも一方の検出点サンプルデータの値を用いて、前記入力信号と前記クロックの間の位相誤差を検出する誤差検出手段と、

から構成されることを特徴とする位相誤差検出回路。

【請求項2】 クロックを出力するクロック発振出力手段と、

前記クロック発振出力手段からのクロックの2倍の周波数のクロックをサンプリングクロックとして用い、積分等化された入力信号をデジタルデータに変換する変換手段と、

前記変換手段により得られたデジタルデータから、入力信号と前記クロック発振出力手段からのクロックの間の位相誤差情報を検出し、当該位相誤差が少なくなるように前記クロック発振出力手段の発振出力を制御する位相誤差検出手段と、

を有し、

前記位相誤差検出手段は、

前記変換手段から供給されるデジタルデータを、1サンプルおきに誤差サンプルデータと検出点サンプルデータに分類し、連続した前後2つの検出点サンプルデータから入力信号についてのエッジを検出し、エッジが検出された2つの検出点サンプルデータの間の誤差サンプルデータの値と、少なくともその一方の検出点サンプルデータの値を用いて、前記入力信号と前記クロックの間の位相誤差情報を検出するように構成されていることを特徴とするデジタルPLL回路。

【請求項3】 前記変換手段から出力されるデジタルデータは、DCオフセット除去手段を介してから前記位相誤差検出手段に入力されることを特徴とする請求項2に記載のデジタルPLL回路。

【請求項4】 前記変換手段から出力されるデジタルデータについて、そのエンベロープ値が略一定になるように制御する、データレベル制御手段が設けられていることを特徴とする請求項2に記載のデジタルPLL回路。

【請求項5】 前記位相誤差検出手段は、入力されるデジタルデータについてのエンベロープ値を検出し、誤差サンプルデータ及び検出点サンプルデータを用いて検出された位相誤差情報と、検出されたエンベロープ値の間で割算処理を行なって、その割算結果を位相誤差情報と

して出力することを特徴とする請求項2に記載のデジタルPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は積分等化波形とされた入力信号に同期した発振周波数（クロック）を得ることのできるデジタル方式のPLL（フェイズ・ロックド・ループ）回路、及びその位相誤差検出回路に関するものである。

【0002】

【従来の技術】例えば磁気テープに記録したデジタルデータを再生するデジタルオーディオテーププレーヤ（いわゆるDATレコーダ／プレーヤ）などでは、記録再生ヘッドとして磁気ヘッドが用いられる。そして磁気ヘッドにより検出された再生信号は、等化器を用いて波形等化された後、データを再生するようにされている。また、データ再生のために、ビット抜き出しのための再生クロック（いわゆるビットクロック信号）が必要とされるが、このような、読出情報に同期したクロックを生成するためには、一般にPLL回路が用いられる。

【0003】PLL回路としては従来よりアナログ回路として形成されることが多かったが、近年ではPLL回路のデジタル化も進んでいる。デジタルPLL回路は、位相誤差検出部、誤差信号のフィルタリング処理部、クロック発振回路部をデジタル化することで実現される。

【0004】

【発明が解決しようとする課題】ところで例えばDAT方式では、磁気テープから読み出した信号の等化処理に関しては、パーシャルレスポンス方式の一種であり、伝達特性がDCまで伸びた等化方式である、積分等化方式（PR（1）方式とも呼ばれる）やクラス1パーシャルレスポンス方式（PR（1,1）方式もしくはPR1方式とも呼ばれる）が採用されている。

【0005】積分等化方式を用いた場合についてみると、積分等化された入力信号から再生クロックを生成するPLL回路が必要になるが、このPLL回路をデジタル化した場合、積分等化波形である入力信号をデジタルデータに変換し、そのデジタルデータを用いていわゆるPLL動作、つまり位相誤差検出に応じた発振周波数制御動作が実行されることになる。

【0006】ここで、入力信号をデジタルデータに変換する方式としては、コンパレータを用いて『H』『L』（1/0）の2値にサンプリングするタイプと、A/D変換器を用いて複数ビットのデジタル値にサンプリングするタイプに大別される。

【0007】まずコンパレータを用いる場合について考えてみると、この場合サンプリングデータである『H』『L』のみがPLL回路にとっての入力情報となる。入力信号とPLL回路で発生される再生クロックの位相誤差を精度よく検出するためには、入力信号のエッジを精

度よく検出することが必要になり、入力信号のエッジタイミングは、サンプリングデータが『H』から『L』、もしくは『L』から『H』に反転することで検出できる。そして入力信号の実際のエッジタイミングは反転した2つのサンプリングデータの中間となるどこかのタイミングである。

【0008】このためサンプリング周波数が低いと、それだけ実際のエッジタイミングと検出されるエッジタイミングの間の誤差（サンプリング誤差）が大きいものとなり、従って入力信号のエッジとPLL回路で発生される再生クロックについての位相誤差を精度よく検出するためには、コンパレータで用いるサンプリング周波数を、例えば再生クロックの数倍から数10倍という高いものを用いることが必要になる。

【0009】サンプリングクロックとしてはマスタークロック（もしくはマスタークロックから生成されたクロック）を用いることが一般的であるが、このため、必要とされる再生クロックの周波数が高くなれば、それだけマスタークロック周波数も高くすることが必要になる。マスタークロックとして利用できる周波数にも限界があるため、このようなPLL回路は容易に実現できないという問題がある。

【0010】また、コンパレータを用いる方式において、例えばマスタークロック（アンプリングクロック）を再生クロックの2倍以下の程度としても、演算処理によりエッジタイミングを比較的精度よく検出できるようにすることも可能ではあるが、この場合、回路規模の増大や複雑化は避けられない。

【0011】次にA/D変換器を用いる方式を考えるが、この場合も入力信号とは非同期のマスタークロックをサンプリングクロックとして用いることで、サンプリング誤差が生ずることは同様であり、これによりマスタークロックの高周波数化の限界から、再生クロックの精度にも限界が生ずる。ただし、この場合は入力信号のサンプリング点の電圧値が複数ビットのデータにより得られるので、コンパレータを用いる方式に比べて、入力信号のエッジタイミングの推定演算をより精度よく行なうことができ、換言すれば、マスタークロックとしてもさほどの高周波数化は要求されない。しかしながら、サンプリング誤差を解消するような精度の高い推定演算を行なうことで、回路規模の増大や複雑化は避けられないことは同様である。

【0012】これらの事情から、回路規模の増大を伴わないで簡易な誤差検出方式により、サンプリング誤差なく高精度な誤差検出を行なうことのできる位相誤差検出回路及びそれを用いたPLL回路が求められていた。

【0013】

【課題を解決するための手段】本発明はこのような事情に応じて、簡易な構成で精度よく位相誤差情報を検出できる位相誤差検出回路及びそれを用いたPLL回路を実

現することを目的とする。

【0014】このため位相誤差検出回路としては、サンプル分類手段と、エッジ検出手段と、誤差検出手段とから構成する。サンプル分類手段は積分等化された入力信号についてクロックの2倍の周波数とされたサンプリングクロックでサンプルされたデータを、1サンプルおきに誤差サンプルデータと検出点サンプルデータに分類する。エッジ検出手段は、順次入力される検出点サンプルデータの前後2つの検出点サンプルデータから入力信号についてのエッジを検出する。誤差検出手段は、エッジ検出手段でエッジが検出された2つの検出点サンプルデータの間の誤差サンプルデータの値と、少なくとも一方の検出点サンプルデータの値を用いて、入力信号とクロックの間の位相誤差を検出する。

【0015】またPLL回路としては、クロックを出力するクロック発振出力手段と、クロック発振出力手段からのクロックの2倍の周波数のクロックをサンプリングクロックとして用い、積分等化された入力信号をデジタルデータに変換する変換手段と、変換手段により得られたデジタルデータについてクロックに対する位相誤差情報を検出し、その位相誤差が少なくなるようにクロック発振出力手段の発振出力を制御する位相誤差検出手段とにより形成する。そしてこの位相誤差検出手段は、変換手段から供給されるデジタルデータを1サンプルおきに誤差サンプルデータと検出点サンプルデータに分類し、連続した前後2つの検出点サンプルデータから入力信号についてのエッジを検出し、エッジが検出された2つの検出点サンプルデータの間の誤差サンプルデータの値と、少なくともその一方の検出点サンプルデータの値を用いて、入力信号とクロックの間の位相誤差情報を検出するように構成する。このようなPLL回路では、マスタークロックを用いず、かつサンプリング誤差も含んで位相誤差に応じたクロック発振出力周波数の制御が行なわれることになる。そして精度の良い位相誤差検出動作もきわめて簡単な回路構成で実現される。

【0016】また、このようなデジタルPLL回路において、変換手段から出力されるデジタルデータは、DCオフセット除去手段を介してから位相誤差検出手段に入力されるように構成する。これにより、入力信号にDCオフセットが生じていても位相誤差検出が正確に行なわれるようにし、PLL回路の安定性を維持する。

【0017】さらにこのようなデジタルPLL回路において、変換手段から出力されるデジタルデータについて、そのエンベロープ値が略一定になるように制御するデータレベル制御手段を設ける。もしくは、位相誤差検出手段が入力されるデジタルデータについてのエンベロープ値を検出し、誤差サンプルデータ及び検出点サンプルデータを用いて検出された位相誤差情報と、検出されたエンベロープ値の間で割算処理を行なって、その割算結果を位相誤差情報として出力するようにする。これら

の動作により、入力信号にレベル変動が生じて位相誤差検出動作に影響を与えず、むやみに応答性が変動してしまうことがなくなる。

【0018】

【発明の実施の形態】以下、図1～図24により本発明の実施の形態となる位相誤差検出回路及びデジタルPLL回路の各種例を次の順序で説明する。

1. デジタルPLL回路の全体構成
2. 第1のデジタルPLL回路における位相誤差検出器例
3. 第2のデジタルPLL回路例
4. 第3のデジタルPLL回路例
5. 第4のデジタルPLL回路例
6. 第5のデジタルPLL回路例
7. 第6のデジタルPLL回路例

【0019】1. デジタルPLL回路の全体構成

図1は本例のデジタルPLL回路のブロック図を示している。このデジタルPLL回路はA/D変換器2、位相誤差検出器3、ローパスフィルタ4、加算器5、発振器6、周期測定部7、分周器8を有している。

【0020】発振器6としては、アナログ発振回路を用いるようにしてもよいが、本例の場合、この発振器6としては発振周波数を可変としたリングオシレータを用いている。本例のデジタルPLL回路では特に位相誤差検出器3の構成及び動作について大きな特徴を有するものであるが、デジタルPLL回路全体及び位相誤差検出器3の説明に先立ち、発振器6とされるリングオシレータについて図3～図5で説明しておく。

【0021】まず図3によりリングオシレータの原理を説明する。リングオシレータは基本的には奇数個のインバータがリング状に直列接続されて形成される。図3は5個のインバータIV1～IV5が直列接続されてループが形成されているリングオシレータの例を示している。既知のとおりインバータは入出力が異なる論理状態（例えば入力が『H』で出力が『L』）で安定となるが、図3のように奇数個のインバータが直列にループ接続された場合は、常にどこかのインバータで入出力が同じ論理状態とならざるを得ない。このような状態を本明細書では矛盾状態とよぶこととする。

【0022】あるインバータが矛盾状態となると、そのインバータは出力される論理状態を反転させることで安定となるが、これによって同時に、次に接続されたインバータが矛盾状態となる。リングオシレータとは、この動作により矛盾状態が順次推移していくことで、確実に発振が約束された回路である。その発振周期は、1つのインバータの入力変化から出力変化までの時間遅延を τ_{inv} とすると、N段（図3の例は5段）のリングオシレータによる発振周期は $2N\tau_{inv}$ となる。ただし、簡単のため、インバータの出力が『H』→『L』となるときの遅延時間とインバータの出力が『L』→『H』となる

ときの遅延時間は同じ τ_{inv} となるとしている。

【0023】図3(a)での各インバータIV1～IV5についての入出力①～⑤の論理状態は図3(b)に示される。まずインバータIV1に着目すると、インバータIV1の入力①が『L』となっている時点ではインバータIV1の出力②は『H』であり安定しているが、入力①が『H』となることでインバータIV1が矛盾状態となる。

【0024】この矛盾状態はインバータIV1の出力②が『L』となることで解消されるが、この反転のための遅延時間が図3(b)に示す τ_{inv} となる。インバータIV1の出力②(=インバータIV2の入力②)が『L』となることでつづいてインバータIV2が矛盾状態となるが、 τ_{inv} 後にインバータIV2の出力③が反転され、インバータIV2が安定する。そしてインバータIV3が矛盾状態となる。

【0025】つまり①～⑤の各点での論理状態は、矛盾状態の伝ぱんが一巡した時点で変化することになり、従って『H』又は『L』が継続する幅(時間)は、図3のように5段のインバータIV1～IV5による回路では $5\tau_{inv}$ となる。例えば①の点から信号を取り出すと、図3(b)の①の信号が得られ、つまり $2 \times 5\tau_{inv}$ の周期の信号(クロック)を得ることができる。

【0026】このようなリングオシレータにおいて、ループに含まれるインバータの段数を変化させるようにすれば、可変周波数発生器を実現することができる。図4は可変発振周波数リングオシレータのブロック図である。このリングオシレータでは127個のインバータIV1～IV127が直列接続されている。なお説明上、インバータIV2、IV3をインバータグループGP2、インバータIV4、IV5をインバータグループGP3……インバータIV126、IV127をインバータグループGP64と呼ぶこととする。各インバータIV1～IV127の入力変化から出力変化までの時間遅延は $1/2\tau_{inv}$ とし、従って各インバータグループGP2～GP64に付いてみると、2つのインバータの論理反転が行なわれる時の遅延時間は τ_{inv} となる。また、インバータIV1の前段にバッファ部43が接続されているとしたときに、バッファ部43とインバータIV1における遅延時間を τ_{bias} とする。

【0027】インバータIV1及び各インバータグループGP2～GP64の出力点は、それぞれセクタ41の各端子L1～L64に接続されている。セクタ41は、セクタ制御部42からの制御に基づいて、端子L1～L64の64個の選択ポイントの内の1つを選択し、その接続された端子をバッファ部43を介してインバータIV1の入力としている。従って、端子L1が選択された場合はインバータIV1のみのループが形成され、端子L2が選択された場合はインバータIV1～IV3による3個のインバータによるループが形成され

る。また端子L64が選択された場合は、インバータIV1~IV127による127個のインバータによるループが形成される。

【0028】このリングオシレータにおいてインバータIV1の出力を端子44からリングオシレータによる発振出力(クロック信号)2CKp(図1のPLL回路で発生させたいクロックCKpの2倍の周波数のクロック)として取り出すとすると、セクタ41の接続状態により、発振出力2CKpとしては64種類の周波数に可変することができる。発振出力2CKpの周期は、 $2(\tau_{bias} + N \cdot \tau_{inv})$ としてあらわされる。なお、NはGP2~GP64の63個のインバータグループのうちで、発振ループに含まれるインバータグループの数とする。図5(a)~(e)には64種類のうちの5種類を例示した。

【0029】即ち、セクタ41で端子L1が選択されているときは、インバータIV1のみによるループで発振が発生するため、遅延時間 τ_{bias} により図5(a)のように $2\tau_{bias}$ の周期のクロック信号が発振出力2CKpとして得られる。またセクタ41で端子L2が選択されているときは、インバータIV1~IV3によるループで発振が発生するため、図5(b)のように $2(\tau_{bias} + \tau_{inv})$ の周期のクロック信号が発振出力2CKpとして得られる。同様に、セクタ41で端子L3, L4...L64のいずれかが選択されているときは、それぞれ図5(c)(d)(e)のように $2(\tau_{bias} + 2\tau_{inv})$ $2(\tau_{bias} + 3\tau_{inv})$... $2(\tau_{bias} + 63\tau_{inv})$ の周期のクロック信号が発振出力2CKpとして得られることになる。

【0030】つまりこのリングオシレータでは、セクタ制御部42がセクタ41における接続端子を可変制御することで、出力されるクロック信号2CKpの周波数を64段階に可変制御できることになる。

【0031】例えばこのようなリングオシレータを図1のデジタルPLL回路において発振器6として採用する場合、発振器6に対する制御入力を行なう部位、即ちA/D変換器2、位相誤差検出器3、ローパスフィルタ4、加算器5、周期測定部7が、図4におけるセクタ制御部42として機能することにより、デジタルPLL回路が実現される。

【0032】図1のデジタルPLL回路では、端子1には積分等化波形とされた信号が入力される。端子1からの入力信号はA/D変換器2において例えば8ビットのデジタルデータに変換される。このA/D変換器2に対しては、発振器6の発振出力であるクロック信号2CKpが供給され、このクロック信号2CKpがサンプリングクロックとして用いられている。

【0033】A/D変換器2から出力されるデジタルデータは、位相誤差検出器3においてクロック信号2CKpが用いられてPLL回路としての出力クロック信号C

Kpとの間の位相誤差が検出される。そしてその位相誤差情報はローパスフィルタ4、加算器5を介して発振器6に供給される。

【0034】上述のように発振器6は例えば図4のようなリングオシレータで形成されているが、位相誤差情報がセクタ41で選択する選択ポイントの値とされることになり、つまり発振器6において、位相誤差情報に応じて端子44から出力されるクロック信号2CKpの周波数が可変制御されることになる。この動作により、入力信号に同期したクロック信号2CKpが生成される。発振器6から出力されるクロック信号2CKpは分周器8で1/2分周されて端子9から当該デジタルPLL回路からの出力としてのクロック信号CKpとして出力される。つまりこのデジタルPLL回路では、入力信号に同期したクロック信号CKpを得るとともに、A/D変換器2におけるサンプリング周波数は、クロック信号CKpの2倍の周波数のクロック2CKpが用いられるように構成されている。

【0035】なお、リングオシレータを用いた発振器6ではいわゆる自走発振周波数がないため、入力のない状態を仮定したときの基準となる発振周波数を設定しなければならない。つまり、基準となる発振周波数を得るためのセクタ41における選択ポイントを設定しておかなければならない。このため、周期測定部7がその基準となる選択ポイントに相当する値を出力するようにしている。周期測定部7からの出力値はローパスフィルタ4の出力値、つまり位相誤差情報と、加算器5において加算されて発振器6に供給されるようにしている。

【0036】従って、位相誤差検出器3で検出された誤差情報に基づく選択ポイントの値と、周期測定部7から出力される基準周波数としての選択ポイントの値が加算された値が、発振器6内のセクタ41で選択されるべき選択ポイントの値となり、これによって入力信号の位相誤差状態に応じて、発振周波数が基準周波数を中心として適正にコントロールされることになる。

【0037】また、周期測定部7ではクロック信号CKpの周期を基準チャンネルクロックに基づいて測定しており、例えばPLLロックレンジから外れているか否かを検出している。そして、クロック信号CKpが所定の周波数レンジから外れたような場合には、それに応じて基準となる発振周波数、即ちセクタ41での選択ポイントを変更するような値を出力する。さらに、このPLL回路が例えばDAT再生装置などにおける再生クロック生成のために用いられる場合などでは、動作モード(再生/早送りなどの各種モード)に応じて所定の基準発振周波数が得られるように選択ポイントを設定するようにしてもよい。

【0038】このように本例のデジタルPLL回路では、A/D変換器2までも帰還ループに含めるようにし、このような構成により、サンプリング誤差による精

度低下のないクロック信号CK_pを得ることができるようにするとともに、位相誤差検出器3においては非常に簡易な構成で精度の高い位相誤差検出動作が実行されるようにされている。

【0039】図2は本例における位相誤差検出動作のイメージを示している。図2(a)は端子1への入力信号、図2(b)は発振器6から出力されるクロック信号2CK_p、図2(c)は当該デジタルPLL回路(端子9)からの出力となるクロック信号CK_pを示している。A/D変換器2では、図2(b)に示すクロック信号2CK_pの立上りで図2(a)のような入力信号に対するサンプリングを行ない、 $a_1, a_2, a_3, a_4, a_5, \dots$ として示すようなサンプリング点での8ビット値を位相誤差検出器3に出力する。

【0040】位相誤差検出器3では、入力された8ビット値を1サンプルおきにエッジ検出サンプルと検出点サンプルに分類する。つまり、図2にエッジ検出サンプルタイミングe_tとして示したタイミングで入力されるデータ a_1, a_3, a_5, \dots をエッジ検出サンプルとし、検出点サンプルタイミングd_tとして示したタイミングで入力されるデータ a_2, a_4, a_6, \dots を検出点サンプルとする。そして、連続する検出点サンプル a_2, a_4, a_6 について極性を見て或る2つの検出点サンプルの間に入力信号のエッジ(極性反転タイミング)が存在することを確認したら、その間に位置するエッジ検出サンプルから位相誤差情報、つまり位相誤差の方向(進み/遅れ)と位相誤差量を検出する。

【0041】例えば検出点サンプル a_2, a_4 についてみると、その値について極性が異なることが確認されたら、その検出点サンプル a_2, a_4 の間のタイミングで入力信号のエッジが存在することがわかる。その間のタイミングで得られるのはエッジ検出サンプル a_3 となる。このエッジ検出サンプル a_3 の値が位相誤差量となり、また誤差の方向は図中t₂として示す方向となる。つまりこの場合は a_3 の値となる位相誤差量だけ、クロックCK_pの位相が進んでいる(入力信号の位相が遅れている)ことが検出される。

【0042】本例のPLL回路では、このようにして検出された位相誤差に応じて発振器6での発振周波数を制御することで、入力信号に同期したクロックCK_pを得ることができる。

【0043】また、入力信号の本来のエッジとクロック信号2CK_pによりサンプリングされたデータから検出されるエッジの間は、いわゆるサンプリング誤差を含むものとなっている。つまり、サンプリングタイミングが必ず入力信号のエッジタイミングと一致しないかぎりはそのタイミング誤差が発生するものであるが、いくらサンプリング周波数を高くしてもこのようなタイミング誤差を解消することは不可能である。

【0044】ところが本例の場合、A/D変換器2のサ

ンプリングクロックにも発振器6で得られるクロック信号2CK_pが用いられることから、サンプリングクロック自体もPLL動作において可変制御される。そしてこれによって、位相誤差検出器3で算出される位相誤差情報には、最終的にはサンプリング誤差分も含まれることになり、つまり、本例の場合、入力信号とクロック信号2CK_pの位相誤差がなくなるようにクロック信号2CK_p周波数が制御される動作に際に、サンプリング誤差分も解消されていくように推移していき、ロック状態においてはサンプリング誤差のない状態で入力信号に同期したクロック信号CK_pが得られることになる。

【0045】2. 第1のデジタルPLL回路における位相誤差検出器例

図2で説明したような位相誤差検出を行なうための位相誤差検出器3の構成及び動作について図6～図14で説明していく。

【0046】図6は図1に示した位相誤差検出器3のブロック図を示している。この位相誤差検出器3は、サンプル分類部11、2値判定部12、エッジ検出部13、誤差検出部14から構成される。そして、誤差検出部14の出力e_rとは、即ち位相誤差の量及び方向を示す位相誤差情報となり、図1におけるローパスフィルタ4に入力される信号となる。

【0047】上述したように端子1からの入力信号はA/D変換器2においてクロック2CK_pがサンプリングクロックとして用いられて8ビットデジタルデータに変換されるが、そのデジタルデータは位相誤差検出器3におけるサンプル分類部11に供給される。このサンプル分類部11は、図2で説明したように、入力されるデータを1サンプル毎にエッジ誤差サンプルe₁と検出点サンプルd₁に分類する動作を行なう。

【0048】サンプル分類部11の回路構成及び動作は図7、図8に示される。サンプル分類部11の回路構成としては、図7に示すようにフリップフロップ21と、ラッチ回路22、23という極めて簡易な構成とすることができる。

【0049】フリップフロップ21には、図8(a)に示すような発振器6から出力されるクロック2CK_p(つまりA/D変換器2のサンプリングクロック)が供給されており、このクロック2CK_pにより、データ入力Dをラッチする。データ入力Dとしては反転Q出力が供給されている。

【0050】従って、このフリップフロップ21のQ出力をクロックCK₂、反転Q出力をクロックCK₁とすると、クロックCK₂、CK₁は図8(c)(e)に示したような互いに逆位相で、かつ、それぞれクロック2CK_pより1/2の周波数の信号となる。なお、クロックCK₁は端子24より、後述するエッジ検出部13及び誤差検出部14にも供給される。クロックCK₂はラッチ回路22に、クロックCK₁はラッチ回路23に、

それぞれ供給される。ラッチ回路22, 23はそれぞれクロックCK2, CK1によりA/D変換器2から供給された8ビットデジタルデータをラッチ出力する。

【0051】A/D変換器2でクロック2CK_pによりサンプリングされたデータが、図8(b)のように a_n , a_{n+1} , a_{n+2} ……であったとすると、クロックCK2に基づくラッチ回路22の出力は図8(d)のように a_{n+1} , a_{n+3} , a_{n+5} となる。またクロックCK1に基づくラッチ回路23の出力は図8(f)のように a_n , a_{n+2} , a_{n+4} となる。このラッチ回路22の出力はエッジ誤差検出サンプルe1とされ、ラッチ回路23の出力は検出点サンプルd1とされる。即ち、このような構成のサンプル分類部11により、A/D変換器2の出力は1サンプル毎にエッジ誤差検出サンプルe1と検出点サンプルd1に分類されて出力されることになる。

【0052】図6に示すようにサンプル分類部11から出力されるエッジ誤差検出サンプルe1は誤差検出部14に供給され、また、検出点サンプルd1は2値判定部12に供給される。2値判定部12は、順次入力されてくる8ビットの検出点サンプルd1についてその2値判定し、判定値d2を出力する。

【0053】A/D変換器2から出力されるデジタルデータが、8ビットバイナリコードとされている場合は、0~255の量子化値は、図9(a)のようになる。またA/D変換器2から出力されるデジタルデータが2の補数表現でコード化される場合は、0~255の量子化値は、図9(b)のようになる。

【0054】この図9から、8ビット値についての2値判定を行なう場合を考えると、いずれの場合であっても、そのMSBをみれば良いことがわかる。例えば入力信号が0レベルにあるときの量子化値を『128』とすると、バイナリコードは『10000000』となる。この『128』から『255』までMSBの値は『1』であり、『0』から『127』までMSBの値は『0』である。つまり2値判定部12では、8ビットの検出点サンプルd1のうちMSBの値のみを判定値d2として出力すればよい。バイナリコードデータが採用されている場合を考えると、サンプル点での入力信号が正極性であれば判定値d2=1、サンプル点での入力信号が負極性であれば判定値d2=0となる。

【0055】この判定値d2はエッジ検出部13及び誤差検出部14に供給される。エッジ検出部13は、連続して入力されてくる判定値d2から、入力信号にエッジ(極性反転)が存在したか否かを検出する。エッジ検出部13は例えば図10のような回路で実現できる。

【0056】即ち判定値d2はフリップフロップ25とイクスクループオアゲート(EX-ORゲート)26に供給される。そしてフリップフロップ25では上述したサンプル分類部11で生成されたクロックCK1がラ

ッチクロックとして入力されている。従ってフリップフロップ25の出力はクロックCK1で遅延させた判定値d2'となり、つまりEX-ORゲート26では、連続した2つの時点の判定値d2, d2'の比較が行なわれることになる。そして、EX-ORゲート26で論理レベルが異なれば『1』、同じであれば『0』の信号が、エッジ検出信号d3として出力される。

【0057】連続した2つの検出点サンプルd1についての判定値d2, d2'が同じ値(1と1、もしくは0と0)であれば、この2つの検出点サンプルd1の間の期間においては、入力信号のエッジが存在していないことになる。ところが、判定値d2, d2'が異なる値(1と0、もしくは0と1)であることは、この2つの検出点サンプルd1の間の期間において入力信号のエッジが存在していることを意味する。つまりエッジ検出部13では、エッジ検出の際に『1』となるエッジ検出値d3を出力し、誤差検出部14に供給する。

【0058】誤差検出部14は、エッジ検出部13においてエッジが検出されたタイミングにおいて、入力されるエッジ誤差検出サンプルe1と判定値d2を用いて位相誤差情報を検出する。誤差検出部14の回路例及び動作タイミングは図11、図12に示される。

【0059】上述したようにサンプル分類部11においてクロックCK2でラッチ出力されたエッジ誤差検出サンプルe1は、誤差検出部14においてラッチ回路27に入力され、クロックCK1でラッチされる。この動作は図12(a)~(c)のようになる。

【0060】一方、サンプル分類部11において図12(g)で示すクロックCK2でラッチ出力された検出点サンプルd1に基づいて得られる判定値d2、エッジ検出信号d3は図12(d)~(f)のようになるが、判定値d2は図11の誤差検出部14においてスイッチ29の制御信号とされ、またエッジ検出信号d3はスイッチ30の制御信号とされる。

【0061】ラッチ回路27から出力されるエッジ誤差検出サンプルe1はそのままスイッチ29のS0端子に供給されるとともに、-1乗算部28に供給されて極性が反転してからスイッチ29のS1端子に供給される。スイッチ20は、判定値d2=0のときS0端子が接続され、判定値d2=1の時S1端子が接続される。

【0062】スイッチ20の出力はスイッチ30のS_E端子に供給される。スイッチ30のS_N端子には『0』の値が供給されている。このスイッチ20の出力は位相誤差検出器3からの位相誤差情報e_rとなり、後段のローパスフィルタ4に供給されることになる。そしてスイッチ30では、エッジ検出信号d3=1のときS_E端子が接続され、エッジ検出信号d3=0のときS_N端子が接続されるため、入力信号についてのエッジが検出されないとき(エッジ検出信号d3=0)は、位相誤差情報e_r=0となり、一方、入力信号についてのエッジが検

出されたとき（エッジ検出信号 $d_3 = 1$ ）は、位相誤差情報 e_r は、スイッチ 29 の出力値である e_1 もしくは $-e_1$ となる。

【0063】入力信号についてのエッジが検出されたとき（エッジ検出信号 $d_3 = 1$ ）の、誤差検出部 14 での位相誤差情報検出動作について図 13、図 14 で説明する。図 13 (a) (b)、図 14 (a) (b) は、それぞれ連続した 2 つの検出点サンプル a_n 、 a_{n+2} の間にエッジが存在した場合の例を示している。

【0064】まず図 13 (a) (b) は、検出点サンプル a_n の極性が負の値で判定値 $d_2' = 0$ となり、検出点サンプル a_{n+2} の極性が正の値で判定値 $d_2 = 1$ となった場合である。いずれの場合も検出点サンプル a_n 、 a_{n+2} の判定値 d_2' 、 d_2 の値が異なるため、エッジ検出部 13 から出力されるエッジ検出信号 $d_3 = 1$ となり、スイッチ 30 は S_E 端子が選択される。そして、検出点サンプル a_{n+2} の判定値 $d_2 = 1$ であるため、スイッチ 29 は端子 S_1 が選択される。

【0065】図 12 に示したタイミングからわかるように、検出点サンプル a_n 、 a_{n+2} に基づいてスイッチ 29、30 が制御された時点で入力されるエッジ誤差サンプル e_1 は、A/D 変換器 2 において検出点サンプル a_n 、 a_{n+2} の中間のタイミングでサンプリングされたデータ a_{n+1} である。

【0066】図 13 (a) の場合は、エッジ誤差サンプル e_1 (a_{n+1}) が負の値 ($e_1 < 0$) であったとする。つまり、サンプリングされたデータ a_n 、 a_{n+1} 、 a_{n+2} から図示するような入力信号の立上り波形が推定できる場合である。この場合、クロック $2CK_p$ に対し入力信号の位相は遅れており、その位相誤差量はエッジ誤差サンプル e_1 (a_{n+1}) の値とすることができる。そして、スイッチ 29 は S_1 端子が選択されていることにより、エッジ誤差サンプル $e_1 \times (-1)$ の値が位相誤差情報 e_r となる。

【0067】図 13 (b) は、図 13 (a) と同様に入力信号の立上り波形が推定できる場合であるが、エッジ誤差サンプル e_1 (a_{n+1}) が正の値 ($e_1 > 0$) であった場合である。この場合、クロック $2CK_p$ に対し入力信号の位相は進んでおり、その位相誤差量はエッジ誤差サンプル e_1 (a_{n+1}) の値とすることができる。そしてこの場合も、スイッチ 29 は S_1 端子が選択されていることにより、エッジ誤差サンプル $e_1 \times (-1)$ の値が位相誤差情報 e_r となる。

【0068】この図 13 (a) (b) のように検出点サンプル a_{n+2} の判定値 $d_2 = 1$ となった場合の位相誤差情報 e_r は図 13 (c) のようになる。つまり、エッジ誤差サンプル e_1 (a_{n+1}) が負の値 ($e_1 < 0$) であれば、入力信号の位相遅れが検出されたことになり、つまりクロック $2CK_p$ の位相を遅らせるように制御すべきことが検出される。そして、この場合はエッジ誤差サ

ンプル e_1 は (-1) 乗算部 28 を介して出力されるため、位相誤差情報 $e_r = (-1 \times e_1)$ となり、エッジ誤差サンプル e_1 は負の値であるため、位相誤差情報 e_r は正の値となる。この位相誤差情報 e_r の極性が、位相制御の方向を示し、位相誤差情報 e_r の絶対値が位相誤差量に相当することになる。

【0069】また、エッジ誤差サンプル e_1 (a_{n+1}) が正の値 ($e_1 > 0$) であれば、入力信号の位相進みが検出されたことになり、つまりクロック $2CK_p$ の位相を進ませるように制御すべきことが検出される。そして、この場合もエッジ誤差サンプル e_1 は (-1) 乗算部 28 を介して出力されるため、位相誤差情報 $e_r = (-1 \times e_1)$ となり、エッジ誤差サンプル e_1 は正の値であるため、位相誤差情報 e_r は負の値となる。

【0070】次に図 14 (a) (b) は、検出点サンプル a_n の極性が正の値で判定値 $d_2' = 1$ となり、検出点サンプル a_{n+2} の極性が負の値で判定値 $d_2 = 0$ となった場合である。図 14 (a) (b) のいずれの場合も検出点サンプル a_n 、 a_{n+2} の判定値 d_2' 、 d_2 の値が異なるため、エッジ検出部 13 から出力されるエッジ検出信号 $d_3 = 1$ となり、スイッチ 30 は S_E 端子が選択される。そして、検出点サンプル a_{n+2} の判定値 $d_2 = 0$ であるため、スイッチ 29 は端子 S_0 が選択される。

【0071】ここで図 14 (a) は、エッジ誤差サンプル e_1 (a_{n+1}) が正の値 ($e_1 > 0$) であった場合である。つまり、サンプリングされたデータ a_n 、 a_{n+1} 、 a_{n+2} から図示するような入力信号の立下がり波形が推定できる場合である。この場合、クロック $2CK_p$ に対し入力信号の位相は遅れており、その位相誤差量はエッジ誤差サンプル e_1 (a_{n+1}) の値とすることができる。そして、スイッチ 29 は S_0 端子が選択されていることにより、エッジ誤差サンプル e_1 の値がそのまま位相誤差情報 e_r となる。

【0072】図 14 (b) は、図 14 (a) と同様に入力信号の立下がり波形が推定できる場合であるが、エッジ誤差サンプル e_1 (a_{n+1}) が負の値 ($e_1 < 0$) であった場合である。この場合、クロック $2CK_p$ に対し入力信号の位相は進んでおり、その位相誤差量はエッジ誤差サンプル e_1 (a_{n+1}) の値とすることができる。そしてこの場合も、スイッチ 29 は S_0 端子が選択されていることにより、エッジ誤差サンプル e_1 の値がそのまま位相誤差情報 e_r となる。

【0073】この図 14 (a) (b) のように検出点サンプル a_{n+2} の判定値 $d_2 = 0$ となった場合の位相誤差情報 e_r は図 14 (c) のようになる。つまり、エッジ誤差サンプル e_1 (a_{n+1}) が正の値 ($e_1 > 0$) であれば、入力信号の位相遅れが検出されたことになり、クロック $2CK_p$ の位相を遅らせるように制御すべきことが検出される。そして、この場合はエッジ誤差サ

e_1 は正の値であるため、位相誤差情報 e_r は正の値となる。そしてこの位相誤差情報 e_r の極性が位相制御の方向を示し、位相誤差情報 e_r の絶対値が位相誤差量に相当する。

【0074】また、エッジ誤差サンプル $e_1(a_{n+1})$ が負の値($e_1 < 0$)であれば、入力信号の位相進みが検出されたことになり、つまりクロック $2CK_p$ の位相を進ませるように制御すべきことが検出される。そして、この場合エッジ誤差サンプル e_1 は負の値であるため、位相誤差情報 e_r は負の値となる。

【0075】誤差検出部14は、図11に示した簡易な構成により、以上のような位相誤差情報 e_r の検出が行なわれる。このような検出を行なうための位相誤差検出器3としては、図6～図14による説明で理解されるように非常に簡単な構成であり、しかも精度の高い位相誤差検出を実現できる。これにより、図1に示したデジタルPLL回路では、回路規模を増大させることなく高精度のクロック発生動作を行なうことができる。特に上述したように本例のデジタルPLL回路では、A/D変換器2のサンプリングクロックとしてクロック信号 $2CK_p$ を用いているため、入力信号とは非同期であるマスタークロックを用いてサンプリングする場合に生じるようなサンプリング誤差成分のない高精度のクロック信号 CK_p を得ることができるが、その制御のための位相誤差検出動作が簡易な構成の位相誤差検出器3で実現されることでデジタルPLL回路として実用上非常に好ましいものとなる。

【0076】3. 第2のデジタルPLL回路例

第2のデジタルPLL回路例を図15～図18で説明する。この例では、図15に示すようにA/D変換器2と位相誤差検出器3の間にハイパスフィルタ部15を配するものであり、位相誤差検出器3の内部構成及びローパスフィルタ4～周期検出部7の構成部分は図1の例と同様であるため説明を省略する。即ち本例では、ハイパスフィルタ部15により入力信号のサンプリングデータからDC成分(入力信号の平均値)を除去することを特徴としている。

【0077】入力信号はA/D変換器2でサンプリングされるわけであるが、入力信号を正弦波と仮定したときに、その入力信号にDCオフセット成分が無ければ、A/D変換器2の変換ダイナミックレンジにおいて図16(a)のようになり、つまりサンプルデータはゼロを中心に分布する。しかしDCオフセット成分があると、図16(b)又は(c)のようにサンプルデータの分布のセンターはゼロからずれることになる。

【0078】このDCオフセット成分により、位相誤差検出動作においては図17に示すような影響を受けることになる。例えば図17の実線をDCオフセット成分がない場合における位相誤差検出動作として、上述した図13(a)と同様に示しているとする。この場合、上述

してきたように位相誤差情報 e_r はエッジ検出サンプル e_{1A} の値として検出される。

【0079】ところがDCオフセット成分により、サンプルデータ a_n 、 a_{n+1} 、 a_{n+2} の値が破線上で示すような値となってしまうと、エッジ検出サンプル e_{1B} の値が位相誤差情報 e_r として検出されてしまう。つまりDCオフセット成分により位相誤差情報 e_r に大きな変動が生じ、PLLロック時の安定性の面で不利なものになってしまう。

【0080】そこで本例ではハイパスフィルタ部15を配することで、DCオフセット成分を除去したサンプルデータを位相誤差検出器3に供給するようにしている。ハイパスフィルタ部15は、例えばローパスフィルタ31と減算器32で構成される。A/D変換器2からの出力データはローパスフィルタ31と減算器32に供給され、またローパスフィルタ31の出力は減算器32に供給される。つまり、ローパスフィルタ31で抽出された低域成分(平均値)が、減算器32においてA/D変換器2からの出力データから減算されることで、ハイパスフィルタを構成している。

【0081】このようなハイパスフィルタ部15を介することで、DCオフセットを除去した状態を、アイパターンとして示したものが図18である。A/D変換器2の出力についてのアイパターンが例えば図18(b)のようにDCオフセット成分が含まれている状態であったとしても、ハイパスフィルタ部15の出力でみたアイパターンでは、図18(a)のようにDCオフセット成分が除去されたものとなる。つまり、位相誤差検出器3に入力されるサンプルデータはゼロを中心に分布した一タとなり、このため位相誤差検出器3における位相誤差検出動作では、DCオフセットの影響による位相誤差情報の変動はなくなり、これにより精度良く、安定したPLL動作が実現される。また、本例のようにハイパスフィルタ部15をローパスフィルタ31と減算器32により構成することで、ハイパスフィルタ部15の挿入に伴う時間遅延を高々1クロック分に抑えることができる。

【0082】4. 第3のデジタルPLL回路例

次に第3のデジタルPLL回路例を図19～図21で説明する。この例では、図19に示すように位相誤差検出器3内にエンベロープ検出部16を設け、このエンベロープ検出部16により検出されたエンベロープ値をD/A変換器18でアナログ信号とする。そしてそのアナログ信号で、A/D変換器2におけるダイナミックレンジコントロールを行なう構成としている。

【0083】上述してきたように位相誤差検出器3における位相誤差検出方式では、その位相誤差情報 e_r の値は、エッジ検出サンプル e_1 (もしくは $-1 \times e_1$)とされる。従って、A/D変換された入力信号の大きさによって位相誤差情報 e_r の値が変化することが理解される。

【0084】このことは、入力信号のレベルが小さいときは、PLL動作の応答性が鈍く、周波数引き込みに時間がかかったり、逆に入力信号レベルが大きいと、PLL動作の反応が過敏になり、少々の外乱でロックしている位相が揺さぶられたりすることなどが発生することになる。例えば図20の実線は入力信号のレベルが小さい状態での位相誤差検出動作を、また破線は入力信号のレベルが大きい状態での位相誤差検出動作を模式的に示している。それぞれの場合を比べて、位相誤差情報 e_r の値は、位相誤差サンプルの値である e_{1c} 、 e_{1p} のようにその大きさが異なるものとなり、これによりPLL動作の応答性が異なってしまうことがわかる。

【0085】このような入力レベルの大小による不都合を解消するには、A/D変換器2から出力されるデータのエンベロープレベルをだいたい一定に保つようにすることが必要になる。エンベロープレベルを略一定に保つには、A/D変換器2における変換効率（ダイナミックレンジ）を、波形レベル（エンベロープ）に合わせて可変するようにすればよい。

【0086】そこで本例では、位相誤差検出器3に入力されるデータについて、エンベロープ検出部16が、例えばピーク検出などの方法により、エンベロープ値を検出するようにしている。そして、そのエンベロープ検出値に応じた電圧をA/D変換器2に対する変換効率制御信号 V_{ref} としてフィードバックしている。これにより、A/D変換器2では例えば図21(a)のように入力信号レベルが大きいときは、ダイナミックレンジが広がる（量子化1ステップ間隔が広がる）ように制御され、逆に図21(b)のように入力信号レベルが小さいときは、ダイナミックレンジが狭まる（量子化1ステップ間隔が狭まる）ように制御される。

【0087】これにより、いずれの場合でも、例えばエンベロープのピーク値 $+EV$ 、 $-EV$ は、デジタルデータ上では同一の値とされることになり、つまり位相誤差検出器3に入力されるデータのエンベロープレベルは、A/D変換器2への入力信号レベルに関わらず、だいたい一定に保たれるようになる。従って、位相誤差検出器3で検出される位相誤差情報は、PLL動作が適正な応答性を保つ状態に維持されることになる。

【0088】5. 第4のデジタルPLL回路例
第4のデジタルPLL回路例を図22で説明する。この例では、上述した第3のデジタルPLL回路例と同様の目的で、位相誤差検出器3に入力されるデータについてエンベロープレベルをだいたい一定に保つようにすることである。つまり第3のデジタルPLL回路例に代えて採用することができる例である。

【0089】位相誤差検出器3に入力されるデータについてのエンベロープレベルを略一定に保つには、A/D変換器2の入力段において、入力信号の波形レベルを一定に保つようにしてもよい。そこで本例ではA/D変換

器2の前段にAGC（オートゲインコントロール）回路19を配するようになっている。そして位相誤差検出器3に入力されるデータについてエンベロープ検出部16がエンベロープレベルを検出し、その値をD/A変換器18でアナログ信号に変換する。そして、そのアナログ信号をAGC回路19にフィードバックしてAGC制御が行なわれるようにしている。

【0090】AGC回路19では、比較部43とゲイン可変部44が設けられている。比較部43には基準となるエンベロープレベルの値 $e_{v_{REF}}$ が設定されており、この基準エンベロープ値 $e_{v_{REF}}$ と、D/A変換器18を介したエンベロープ検出部16からのエンベロープレベルと比較する。そして、その比較結果に基づいてゲイン可変部44における入力信号に対するゲインレベルを制御する。即ちこのAGC回路19により、入力信号波形は基準エンベロープ値 $e_{v_{REF}}$ を目標にゲイン調整されてからA/D変換器2に入力されるものとなる。

【0091】これにより、位相誤差検出器3に入力されるデータのエンベロープレベルは、入力信号レベルに関わらず、だいたい一定に保たれるようになり、位相誤差検出器3で検出される位相誤差情報は、PLL動作が適正な応答性を保つ状態に維持される。

【0092】6. 第5のデジタルPLL回路例

図23に示す第5のデジタルPLL回路例も、第3、第4のデジタルPLL回路例と同様の目的で、位相誤差検出器3に入力されるデータについてエンベロープレベルをだいたい一定に保つようにすることのものである。

【0093】この場合も、位相誤差検出器3に入力されるデータについてのエンベロープレベルを略一定に保つために、A/D変換器2の前段にAGC（オートゲインコントロール）回路19を配するようになっている。

【0094】AGC回路19には、比較部45とゲイン可変部46が設けられている。比較部45には基準となる電圧値 V_{REF} が設定されており、この基準電圧値 $e_{v_{REF}}$ と、AGC回路19の出力を比較する。そしてその比較結果に基づいてゲイン可変部46における入力信号に対するゲインレベルを制御する。即ちこのAGC回路19により、入力信号波形は基準電圧値 V_{REF} を目標にゲイン調整されてからA/D変換器2に入力されるものとなる。これにより、位相誤差検出器3に入力されるデータのエンベロープレベルは、入力信号レベルに関わらず、略一定に保たれるようになり、位相誤差検出器3で検出される位相誤差情報は、PLL動作が適正な応答性を保つ状態に維持される。

【0095】7. 第6のデジタルPLL回路例

図24に示す第6のデジタルPLL回路例も、第3～第5のデジタルPLL回路例と同様の目的で、PLL回路の応答性を適正に保つためのものである。ただしこの例では位相誤差検出器3に入力されるデータについてエンベロープレベルを一定に保つという処理は行わず、エ

ンベローブ検出部16で検出されたエンベローブ値 e_v により、検出された位相誤差情報を補正するような処理を行なうことになる。

【0096】前述した図20からわかるように、位相誤差検出器3に入力されるデータのエンベローブが変化すると、算出される位相誤差情報 e_r の値も変化してしまう、PLL回路としての応答性が変動してしまう。これを避けるためには、上述した各例のように位相誤差検出器3に入力されるデータのエンベローブを一定に保つようにするほかに、位相誤差検出器3から出力される位相誤差情報の値を、入力されるデータのエンベローブにより補正するようにしてもよい。

【0097】即ち図24に示すように、誤差検出部14の後段に割算器17を設ける。ここで誤差検出部14で算出される位相誤差情報の値を e_{rp} とすると、この値 e_{rp} には入力信号レベルの大小による変動成分が含まれている。この値 e_{rp} から変動成分を除去するには、値 e_{rp} とエンベローブ検出部16で検出された入力データについてのエンベローブ値で割算を行なえばよい。割算器17の出力を位相誤差情報 e_r とすると、この位相誤差情報 e_r には入力信号の大きさによる変動はあらわれないことになる。従って、入力信号レベルに関わらず、PLL動作が適正な応答性を保つ状態に維持されることになる。

【0098】

【発明の効果】以上説明したように本発明の位相誤差検出回路では、積分等化された入力信号についてクロックの2倍の周波数とされたサンプリングクロックでサンプリングされたデータを、1サンプルおきに誤差サンプルデータと検出点サンプルデータに分類し、順次入力される検出点サンプルデータの前後2つの検出点サンプルデータから入力信号についてのエッジを検出する。そしてエッジが検出された2つの検出点サンプルデータの間の誤差サンプルデータの値と、少なくとも一方の検出点サンプルデータの値を用いて、入力信号とクロックの間の位相誤差を検出するようにしている。このような検出方式により、非常に簡単な回路構成で位相誤差検出が可能になるという効果があり、PLL回路に搭載する位相誤差検出回路として好適である。

【0099】特にPLL回路としては、クロック発振出力手段からのクロックの2倍の周波数のクロックをサンプリングクロックとして用い、積分等化された入力信号をデジタルデータに変換し、そのデジタルデータについて上記構成の位相誤差検出回路でクロックに対する位相誤差情報を検出するようにすることで、マスタークロックを用いず、かつサンプリング誤差も含んで位相誤差に応じたクロック発振出力周波数の制御が行なわれることになる。つまり、精度の良い位相誤差検出動作に基づく高精度の発振出力をきわめて簡単な回路構成で実現できるという効果がある。

【0100】また、このようなデジタルPLL回路において、変換手段から出力されるデジタルデータは、DCオフセット除去手段を介してから位相誤差検出手段に入力されるように構成することで、入力信号にDCオフセットが生じていてもそれが除去され、位相誤差検出が正確に行なわれることになり、正確で安定性の良いPLL回路を実現できるという効果が得られる。

【0101】さらにこのようなデジタルPLL回路において、変換手段から出力されるデジタルデータについて、そのエンベローブ値が略一定になるように制御するデータレベル制御手段を設けるか、もしくは、位相誤差検出手段が入力されるデジタルデータについてのエンベローブ値を検出し、そのエンベローブ値と検出された位相誤差情報との間で割算処理を行なって、その割算結果を位相誤差情報として出力するようにしている。これらの動作により、入力信号にレベル変動が生じてでもその影響が位相誤差情報に表われず、従って応答性がむやみに変動しない、動作の安定したPLL回路が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるPLL回路のブロック図である。

【図2】実施の形態のPLL回路の位相誤差検出動作の説明図である。

【図3】リングオシレータの原理の説明図である。

【図4】実施の形態で発振器として用いられる発振周波数可変リングオシレータのブロック図である。

【図5】実施の形態で発振器として用いられる発振周波数可変リングオシレータでの発振周波数の説明図である。

【図6】第1の実施の形態例の位相誤差検出器のブロック図である。

【図7】実施の形態の位相誤差検出器のサンプル分類部の回路図である。

【図8】実施の形態の位相誤差検出器のサンプル分類部の動作の説明図である。

【図9】実施の形態の位相誤差検出器の2値判定部の動作の説明図である。

【図10】実施の形態の位相誤差検出器のエッジ検出部の回路図である。

【図11】実施の形態の位相誤差検出器の誤差検出部の回路図である。

【図12】実施の形態の位相誤差検出器の誤差検出部の動作の説明図である。

【図13】実施の形態の位相誤差検出器の誤差検出部の検出動作の説明図である。

【図14】実施の形態の位相誤差検出器の誤差検出部の検出動作の説明図である。

【図15】本発明の第2の実施の形態におけるPLL回路の要部のブロック図である。

【図 16】DCオフセットによるサンプリングデータへの影響の説明図である。

【図 17】DCオフセットによる位相誤差情報への影響の説明図である。

【図 18】第 2 の実施の形態におけるハイパスフィルタによる機能の説明図である。

【図 19】本発明の第 3 の実施の形態における PLL 回路の要部のブロック図である。

【図 20】入力レベルの変動による位相誤差情報への影響の説明図である。

【図 21】第 3 の実施の形態における動作の説明図である。

【図 22】本発明の第 4 の実施の形態における PLL 回路の要部のブロック図である。

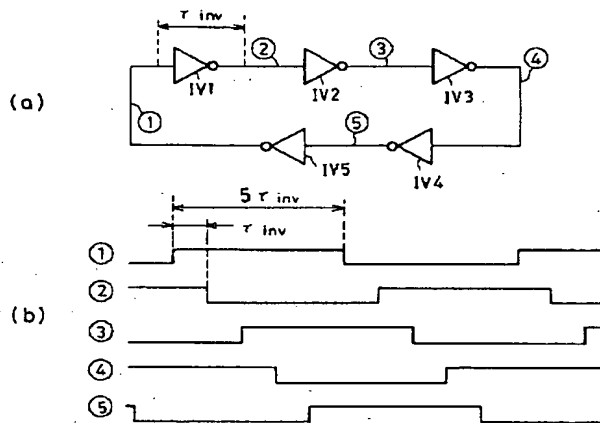
【図 23】本発明の第 5 の実施の形態における PLL 回路の要部のブロック図である。

【図 24】本発明の第 6 の実施の形態における PLL 回路の要部のブロック図である。

【符号の説明】

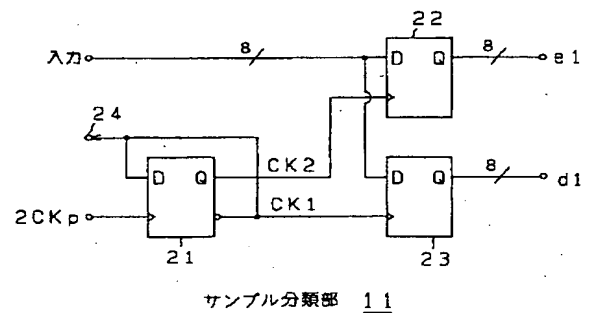
- 2 A/D変換器
- 3 位相誤差検出器
- 4 ローパスフィルタ
- 5 加算器
- 6 発振器
- 7 周期測定部
- 8 分周器
- 11 サンプル分類部
- 12 2値判定部
- 13 エッジ検出部
- 14 誤差検出部
- 15 ハイパスフィルタ部
- 16 エンベロープ検出部
- 17 割算器
- 18 D/A変換器
- 19 AGC回路

【図 3】

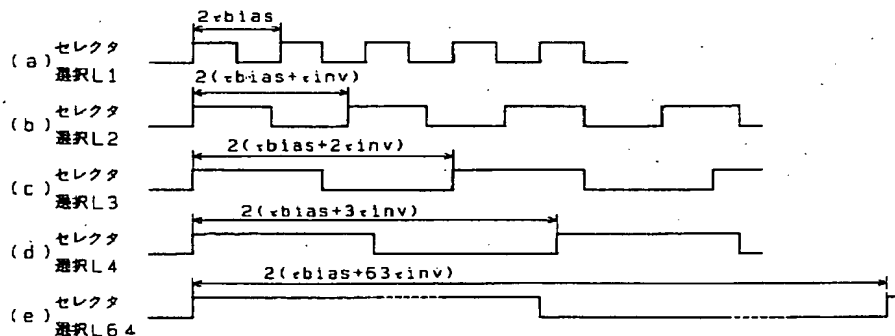


リングオシレータの原理 (五段の例)

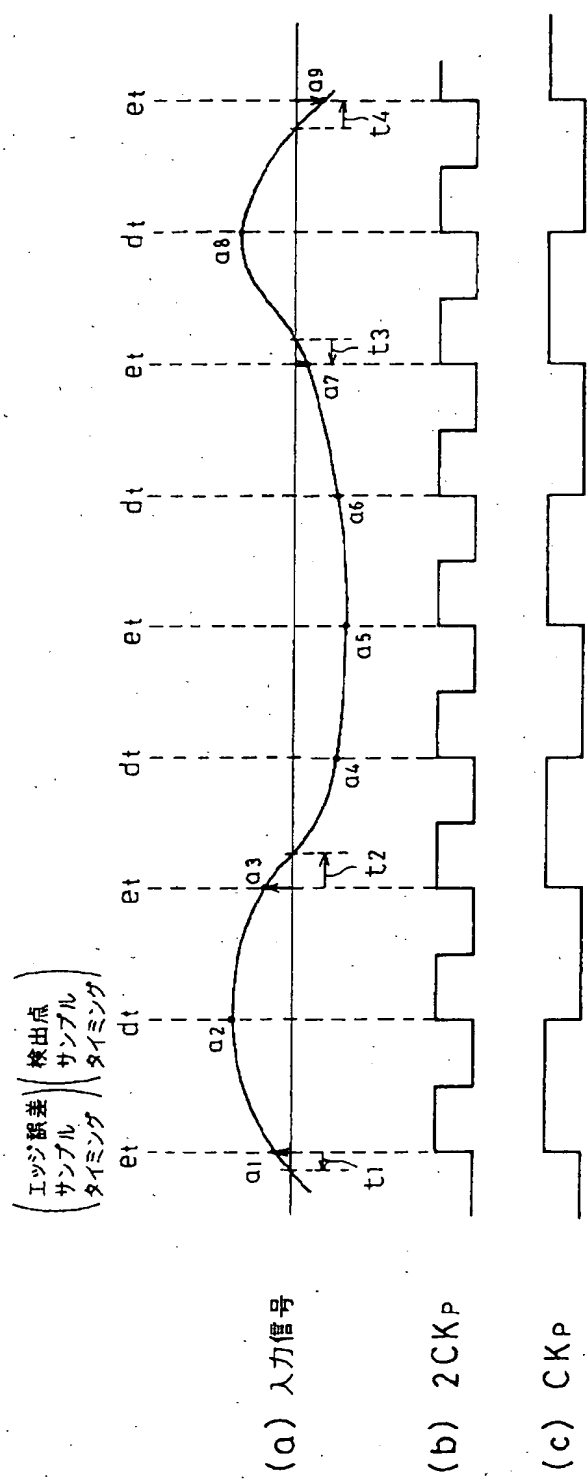
【図 7】



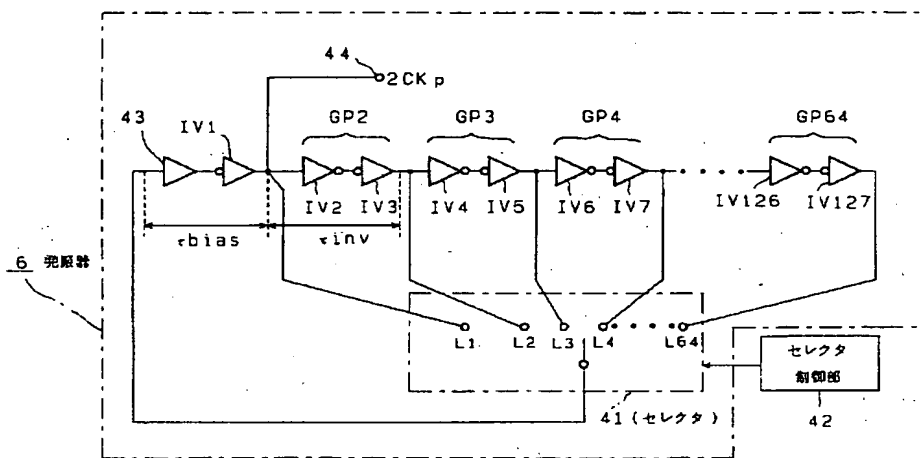
【図 5】



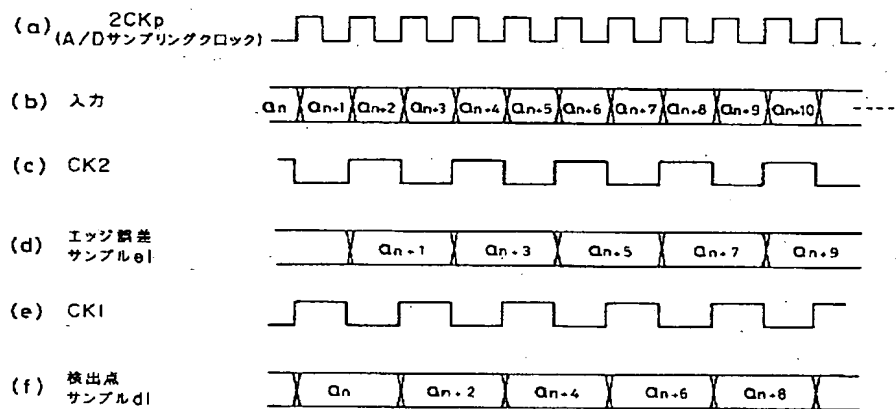
【図 2】



【図4】



【図8】



【図9】

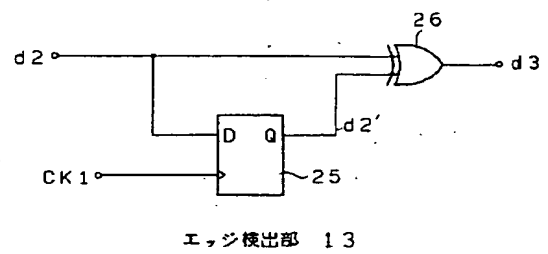
(a)

値	バイナリコード
255	1 1 1 1 1 1 1 1
254	1 1 1 1 1 1 1 0
...	...
129	1 0 0 0 0 0 0 1
128	1 0 0 0 0 0 0 0
127	0 1 1 1 1 1 1 1
126	0 1 1 1 1 1 1 0
...	...
1	0 0 0 0 0 0 0 1
0	0 0 0 0 0 0 0 0

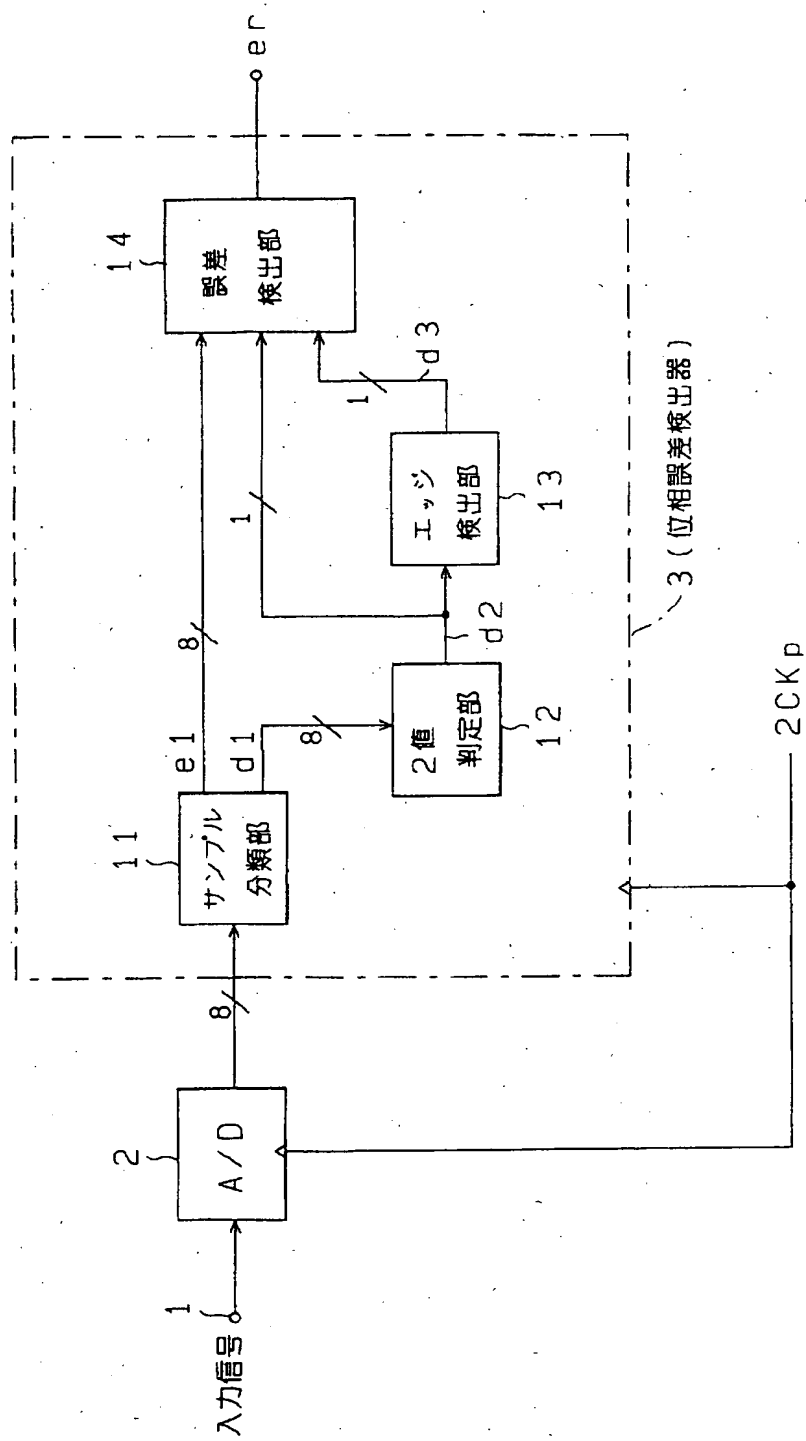
(b)

値	2の補数表現
127	0 1 1 1 1 1 1 1
126	0 1 1 1 1 1 1 0
...	...
1	0 0 0 0 0 0 0 1
0	0 0 0 0 0 0 0 0
-1	1 1 1 1 1 1 1 1
-2	1 1 1 1 1 1 1 0
...	...
-127	1 0 0 0 0 0 0 1
-128	1 0 0 0 0 0 0 0

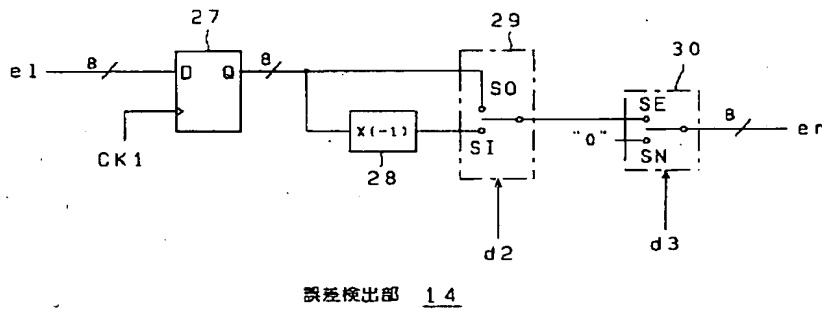
【図10】



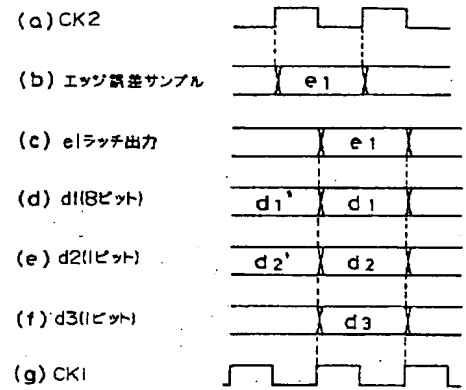
【図 6】



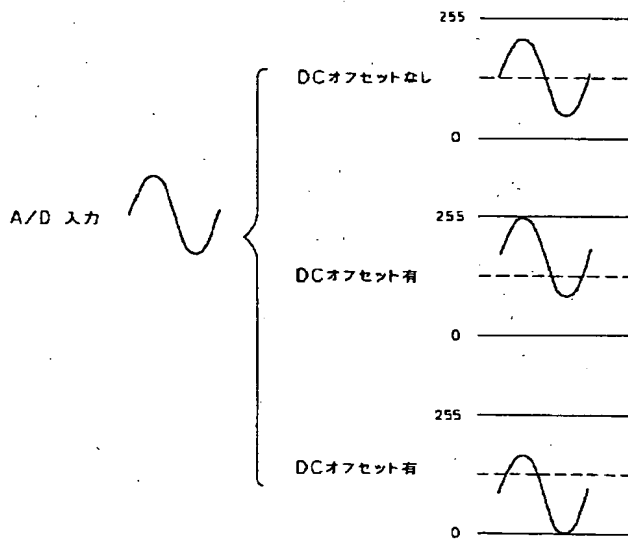
【図11】



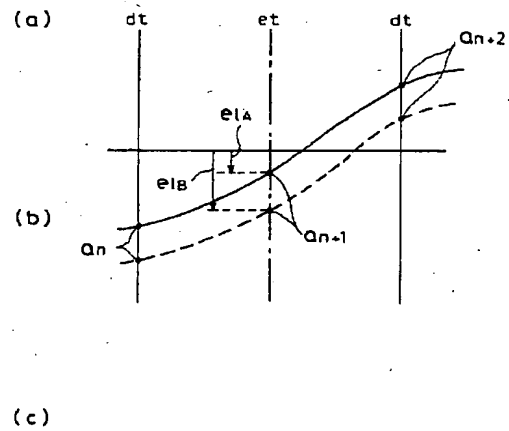
【図12】



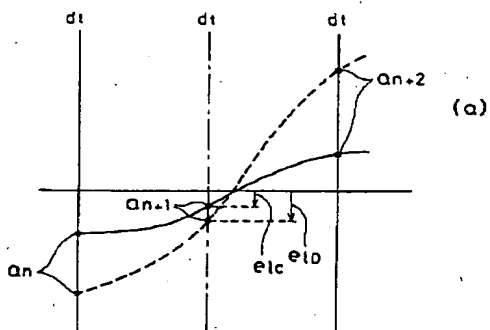
【図16】



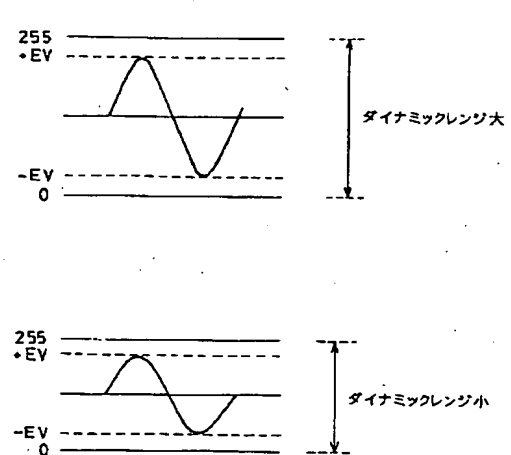
【図17】



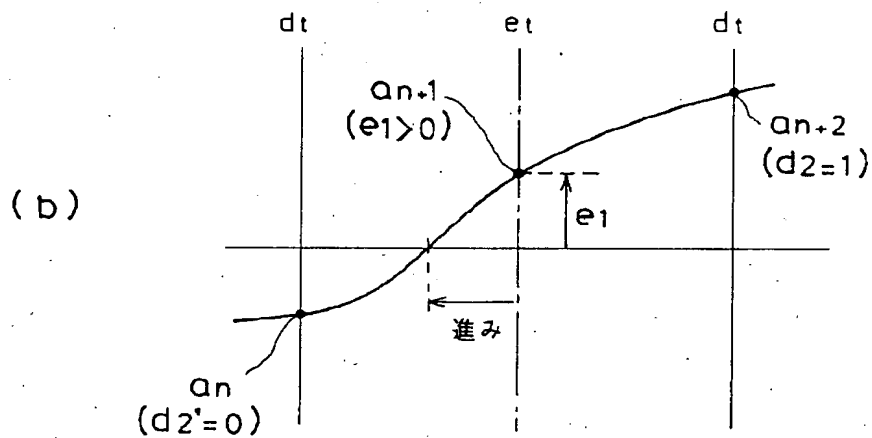
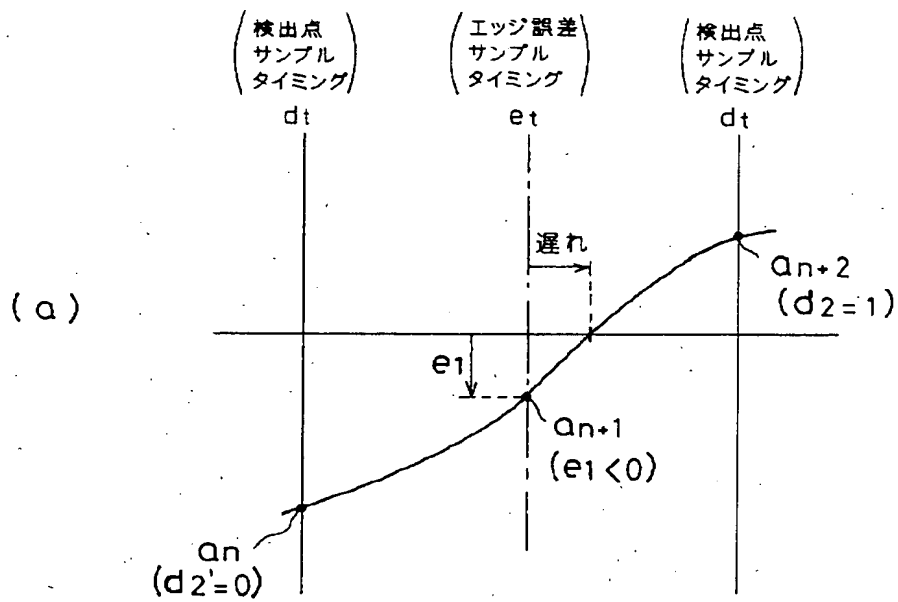
【図20】



【図21】

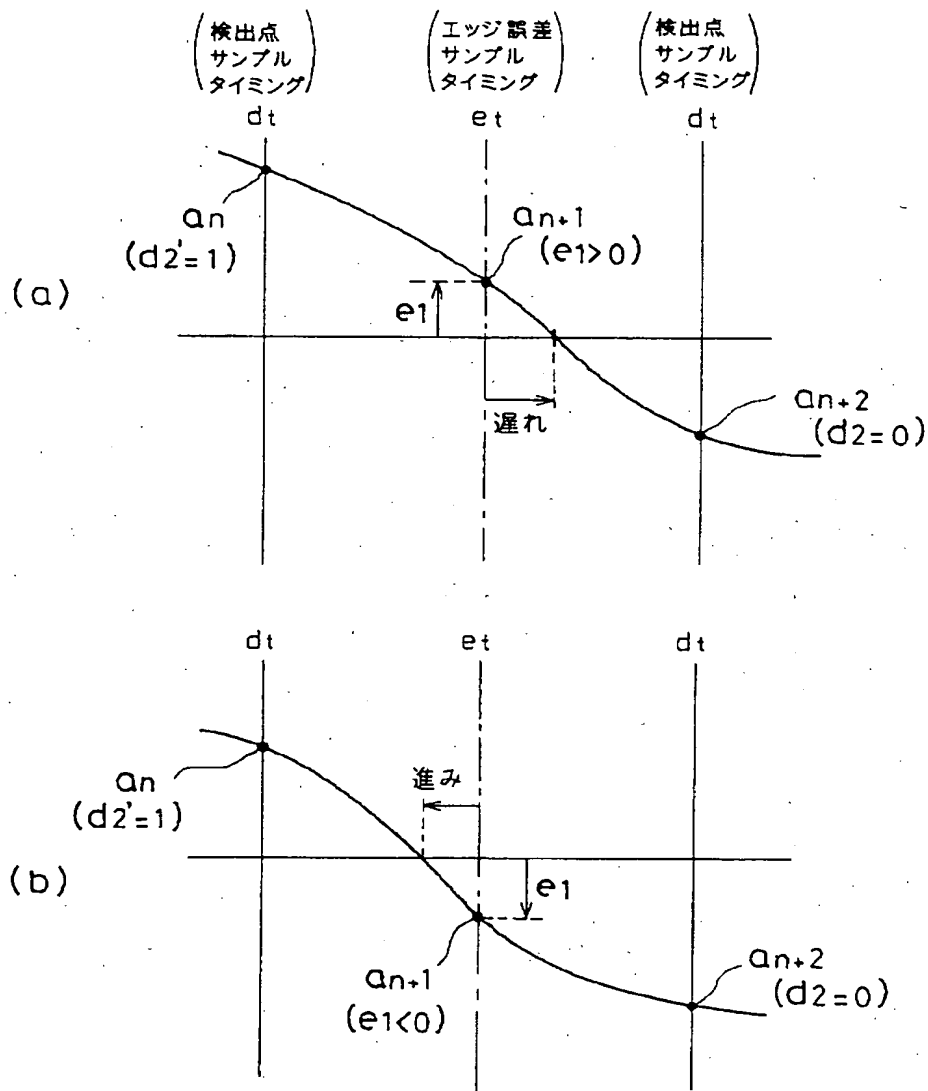


【図13】



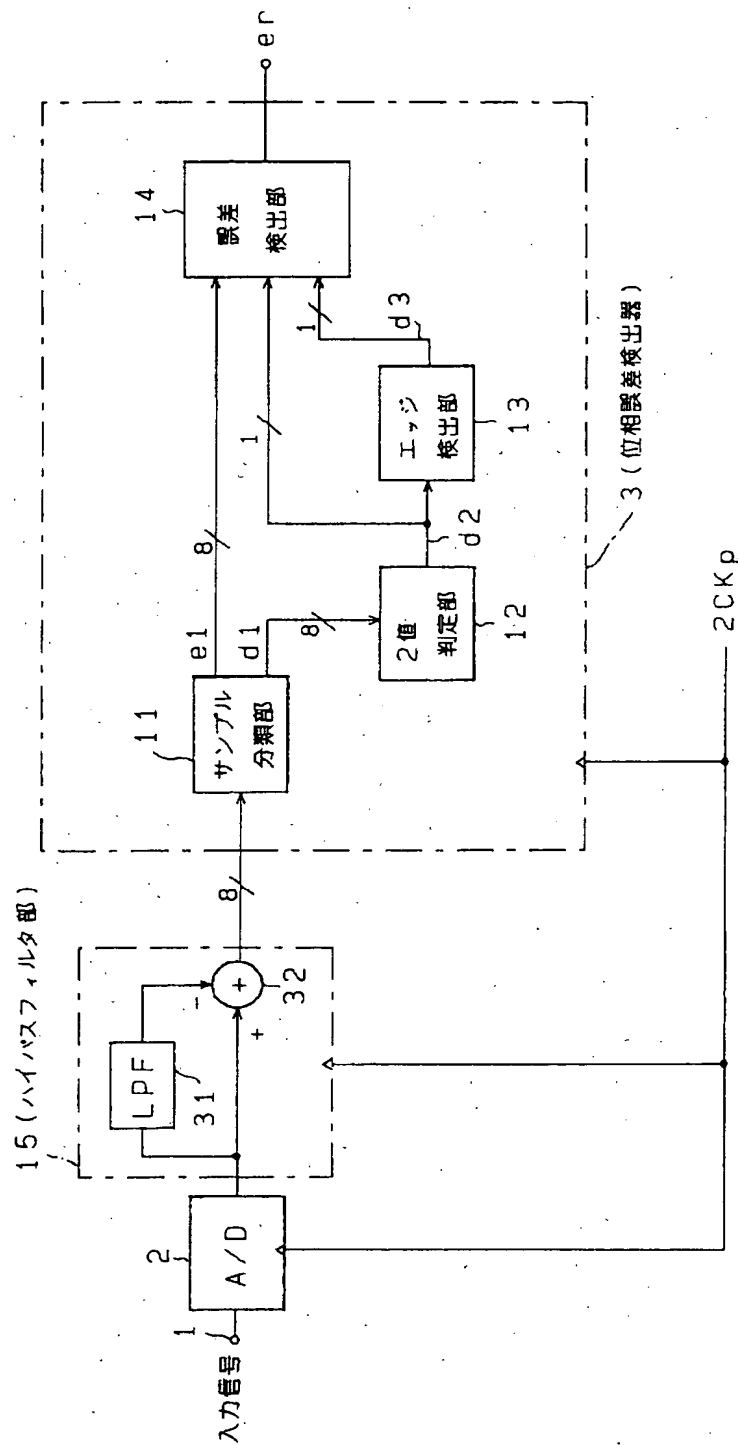
- (c) $d2=1$ のときの位相誤差 e_r (誤差量= e_1)
- $\rightarrow \begin{cases} \cdot e_1 < 0 \text{ なら位相遅れ方向に制御} \Rightarrow e_r = -e_1 (e_r > 0) \\ \cdot e_1 > 0 \text{ なら位相進み方向に制御} \Rightarrow e_r = -e_1 (e_r < 0) \end{cases}$

【図 14】

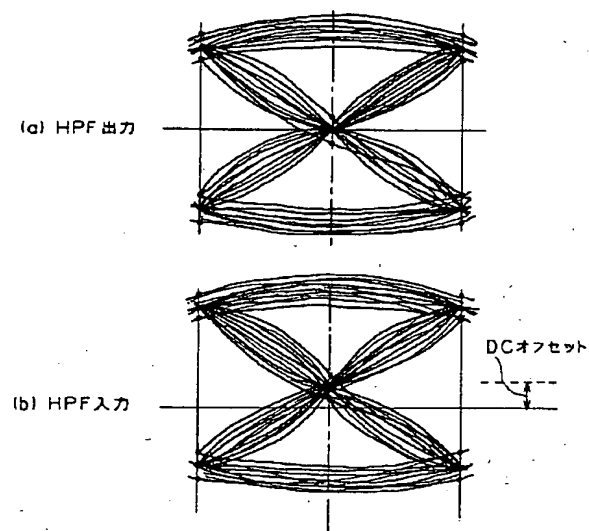


- (c) $d2=0$ のときの位相誤差 e_r (誤差量 $=e_1$)
- $\begin{cases} \cdot e_1 > 0 \text{ なら位相遅れ方向に制御} \Rightarrow e_r = e_1 (e_r > 0) \\ \cdot e_1 < 0 \text{ なら位相進み方向に制御} \Rightarrow e_r = e_1 (e_r < 0) \end{cases}$

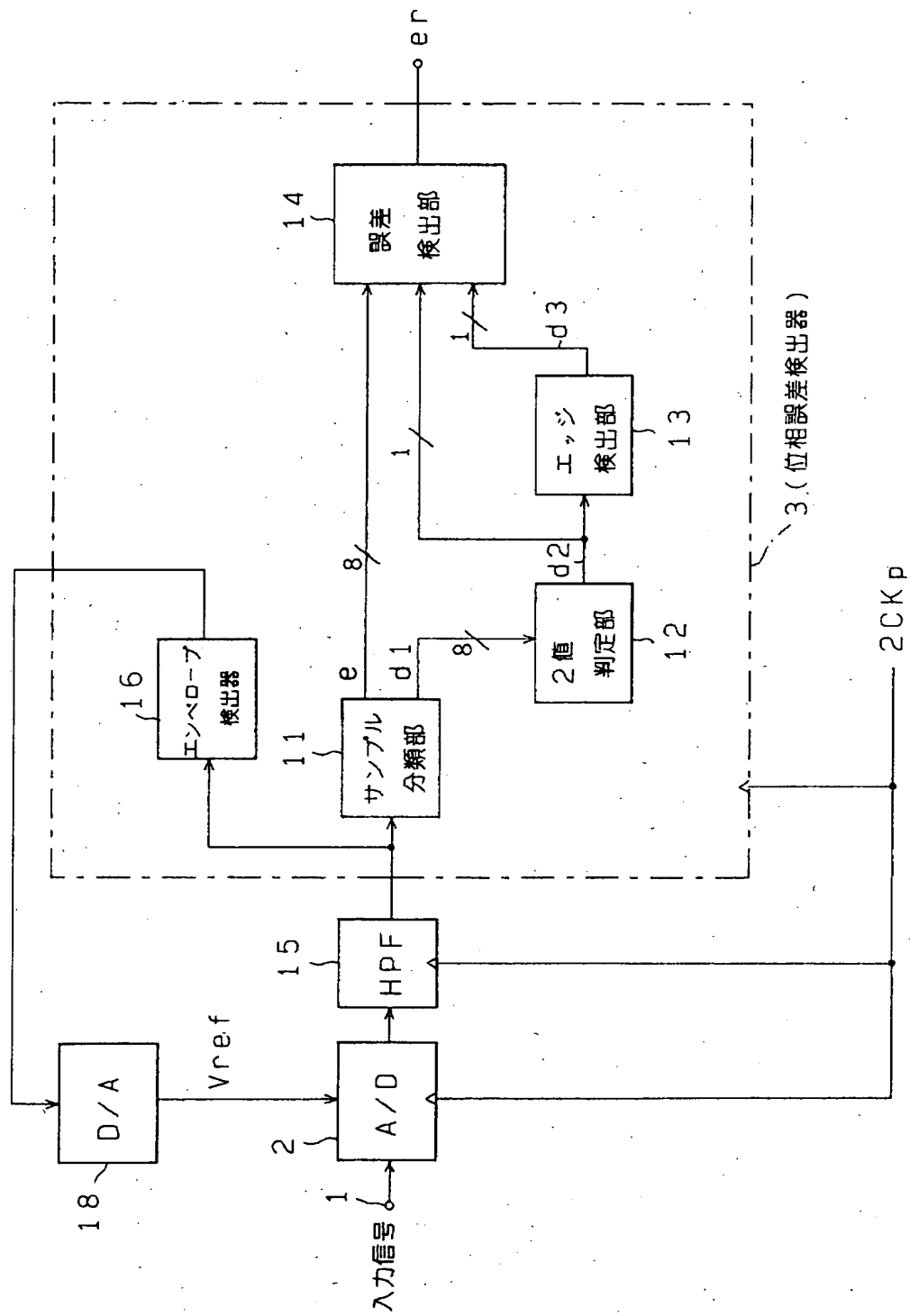
【図 15】



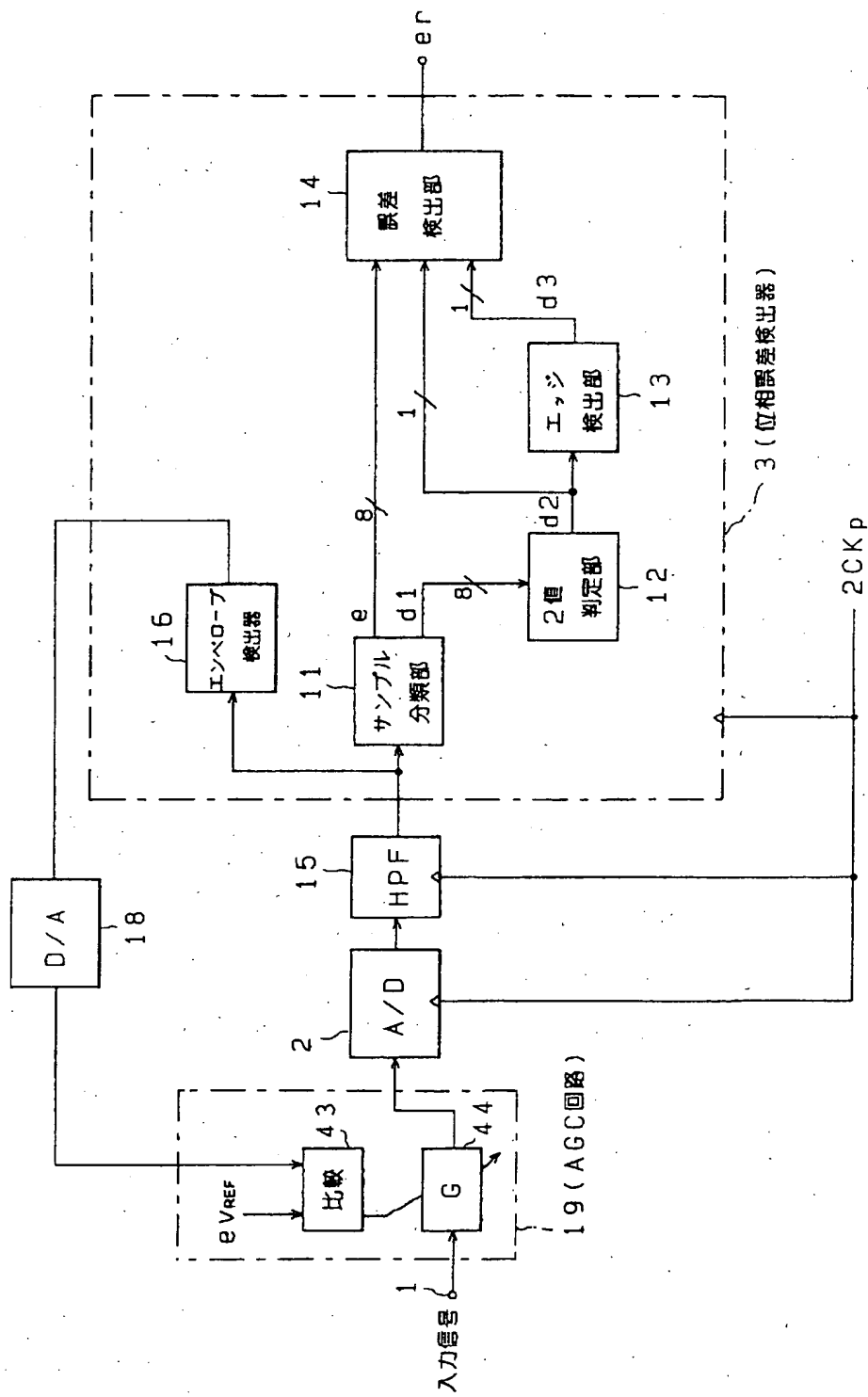
【図 18】



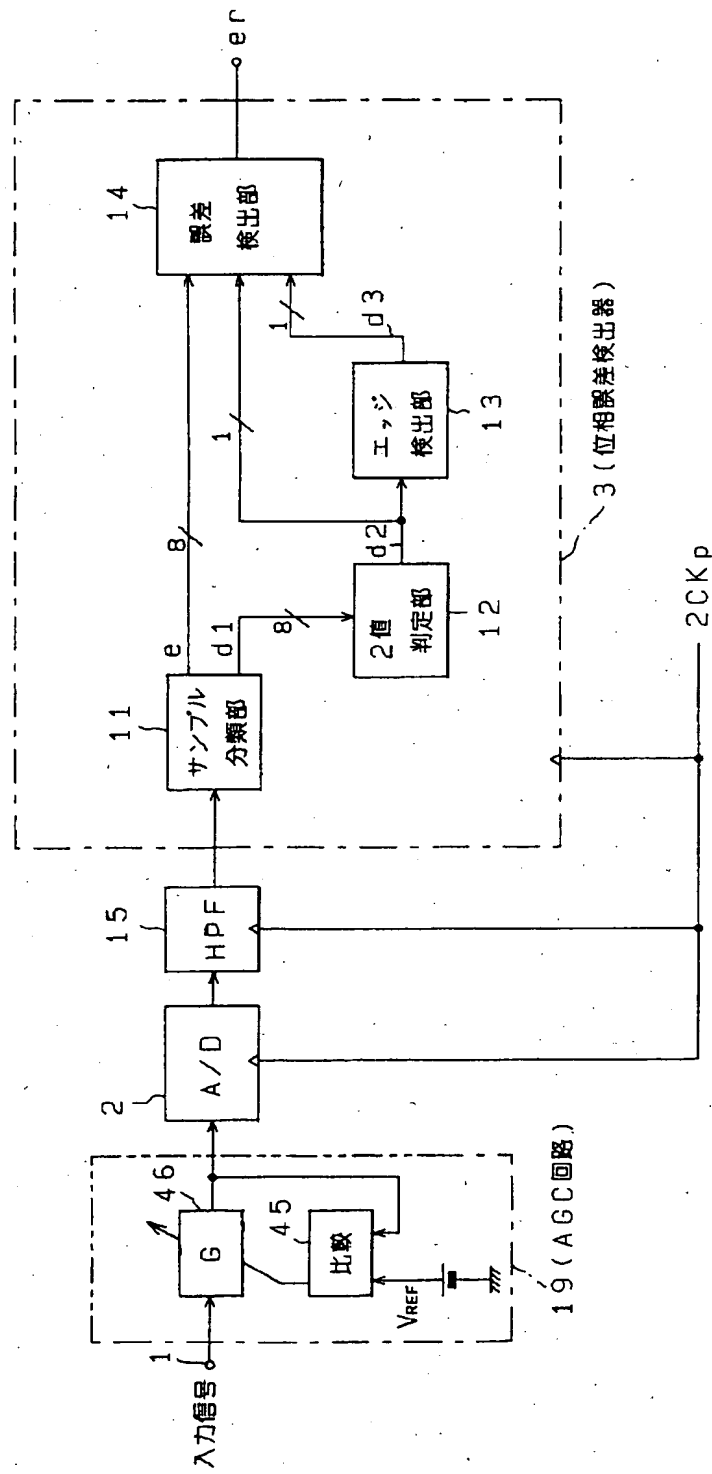
【図19】



【図22】



【図23】



【図24】

